

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-192182

(43)Date of publication of application : 10.07.1992

(51)Int.Cl.

G11C 11/409

(21)Application number : 02-326940

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.11.1990

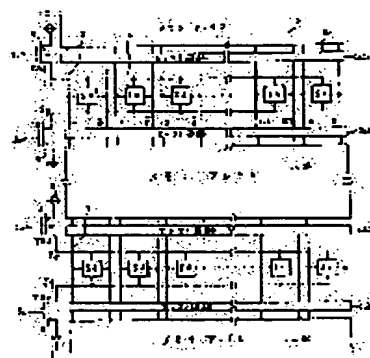
(72)Inventor : INOUE YOSHINAGA

(54) SENSE AMPLIFIER

(57)Abstract:

PURPOSE: To speed up a sensing time and to improve a sense margin by constituting sense amplifiers so as to amplify from both ends of a pair of bit lines.

CONSTITUTION: When a memory array 3b is in an activated region, select signals SLa='L', SLb='H', SLc='L', then the array 3b and the sense amplifiers 1 of two upper and lower rows are connected through the bit line 2. A word line WL becomes 'H', signals Sn become 'H', and signals Sp become 'L', then the sense amplifiers 1 above and below the array 3b are operated. The time difference (t) between a BL ϕ in the nearest wiring from a generating source for sense amplifier driving signal and a BLn in the most far, is the same, but an amplifying ability attains twice, therefore, the access becomes fast and also the sense margin is increased. Also, the increase of an area is not accompanied since the rows of sense amplifiers are changed over by a block of memory arrays 3 with using the upper/lower rows in common.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-192182

⑬ Int. Cl.⁵
G 11 C 11/409

識別記号 庁内整理番号

⑭ 公開 平成4年(1992)7月10日

8526-5L G 11 C 11/34 3 5 3 A

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 センス・アンプ

⑯ 特 願 平2-326940

⑰ 出 願 平2(1990)11月27日

⑱ 発 明 者 井 上 好 永 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

センス・アンプ

2. 特許請求の範囲

直交して配置されかつそれぞれが単一の信号線からなるワード線及びビット線の交点に格子状に配置されるメモリ・セルを含むメモリ・アレイを備え、上記メモリ・セルのデータがビット線に伝わりそのデータを増幅するセンスアンプにおいて、前記ビット線対の両端にセンス・アンプを設け、2つの両端のセンス・アンプにより前記ビット線対を増幅し、かつ、前記センス・アンプの両側のメモリ・アレイのブロックのビット線対とも切り換えにより増幅することが可能としたことを特徴とするセンス・アンプ。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体集積回路装置の特にダイナミックR A Mの記憶されたデータを増幅するセンス・アンプに関するものである。

[従来の技術]

第4図は従来のセンス・アンプ全体の構成を示すブロック図で、図において、(1)はセンス・アンプ、(2)はセンス・アンプ(1)につながるビット線、(3)はメモリ・アレイ、(4)はPチャネルMOSトランジスタ、(5)はNチャネルMOSトランジスタ、(6)はVcc、(7)はGndである。第5図は第4図のセンス・アンプ(1)の回路図、第6図はメモリ・アレイ(3)のメモリ・セルの回路図で、図において、(6)は容量、(9)はセルプレートで、固定電位にしてある(8)はワード線である。第7図は第6図の動作を示す波形図である。

次に動作について説明する。xアドレスによりワード線W Lが「B」になり、その後センス・アンプ活性化信号S_mが「H」になり、T R 1 (5)がONし、信号S_Rを「L」にしようとする。続いて、センス・アンプ活性化信号S_pが「L」となり、T R 2 (4)がONし、信号S_vを「B」にしようとする。そして、1列のすべてのビット線B L、B Lを増幅する。センスアンプ駆動信号である信号S_vとS_Rが1列の

センス・アンプ(1)すべてと接続されているため、長い配線が必要であり、アルミニウムの配線で、シート抵抗が100 Ω 、長さが5 μ m、幅が10 μ mとすると、約50 Ω の配線抵抗が付く。すべてのビット線の容量を“B”、“L”へ増幅するため、その全体の容量はビット線1本当たり0.2pFとして、1024本あるとすると、0.2pF \times 1024本=205pFとなり、長い配線の遅延時間は、センスアンプ駆動信号の発生源と先端との差が、

$$t = CR = 205 \text{ pF} \times 50 \Omega = 10 \text{ ns}$$

となり、第7図のBL ϕ とBL η との時間差 t は少なくとも10nsも差が出る。半導体集積回路において、アクセスタイムの速い高速品が要求される現在において、10nsの遅延はとんでもない値である。

〔発明が解決しようとする課題〕

従来のセンス・アンプは以上のように構成されていたので、メモリ・セルのデータを増幅するのに、センス・アンプ駆動信号の発生源から、センス・アンプ駆動信号の配線が一番近いセンスアン

プと、センスアンプ駆動信号の配線が一番遠いセンス・アンプとの動作に遅延時間の差があるという問題点があつた。

この発明は上記のような問題点を解消するためになされたもので、センス・アンプを駆動する信号の発生源からその信号の配線が一番近いセンス・アンプと、一番遠いセンス・アンプとのセンス・アンプ動作の遅延時間を補ない、かつ、センス・マージンを向上するセンス・アンプを得る事を目的とする。

〔課題を解決するための手段〕

この発明に係るセンス・アンプは、ビット線対の両端にセンス・アンプを設け、この2つのセンス・アンプによりビット線対を増幅するようにしたものである。

〔作用〕

この発明におけるセンス・アンプはビット線対の両端から増幅するようにしたので、センスする時間は速くなり、かつ、センス・マージンが向上する。

〔実施例〕

以下、この発明の一実施例を図について説明する。第1図はこの発明の一実施例であるセンス・アンプ全体の構成を示すブロック図で、図において、(1)はセンス・アンプ、(2)はビット線で、センス・アンプ(1)と接続され、セレクト回路(10)を通り、メモリ・アレイ(3)に接続されている。ビット線(2)はセンス・アンプ(1)を中心に、上下2つのメモリアレイ(3)のブロックにつながっている。ビット線(2)はメモリ・アレイ(3)のブロックすべてに、セレクト回路(10)を通して接続されている。

第2図は第1図の回路の動作波形図、第3図は第1図のセレクト回路(10)の回路図を示している。

次に動作について説明する。メモリ・アレイ(3b)が活性領域とすると、セレクト信号SLa=“L”、SLb=“B”、SLc=“B”、SLd=“L”となり、メモリ・アレイ(3b)とビット線(2)を通して、上下の2列のセンス・アンプ(1)とが接続される。ワード線WLが“B”となり、信号Snが“B”、信号Spが“L”となつて、メモリ・アレイ(3b)の上下の

センス・アンプ(1)が動作する。従来の第7図の場合は増幅する時間がいてあつたのに対し、2倍の能力となるため、第2図の t_2 のように t_1 の約半分の速さとなる。センス・アンプ駆動信号の発生源から一番配線の近いBL ϕ と、遠いBL η との時間差 t は同じであるが、増幅の能力が2倍になるため、アクセスも速く、センス・マージンも高くなる。また、メモリ・アレイ(3a)が活性領域の場合は、その上下の2列のセンス・アンプを動作させる。このようにセンス・アンプの列をメモリ・アレイ(3)のブロックによつて、上下で共用させて、切り換えるため、面積の増大を伴わない。

〔発明の効果〕

以上のようにこの発明によれば、ビット線の両端にセンス・アンプを設け、その2つの両端のセンス・アンプにより増幅するようにしたので、高速アクセスの動作をさせ、かつ、センス・マージンが向上し、またメモリ・アレイのブロックにより、センス・アンプを共用させるため、面積の増大を伴わないという効果がある。

4. 図面の簡単な説明

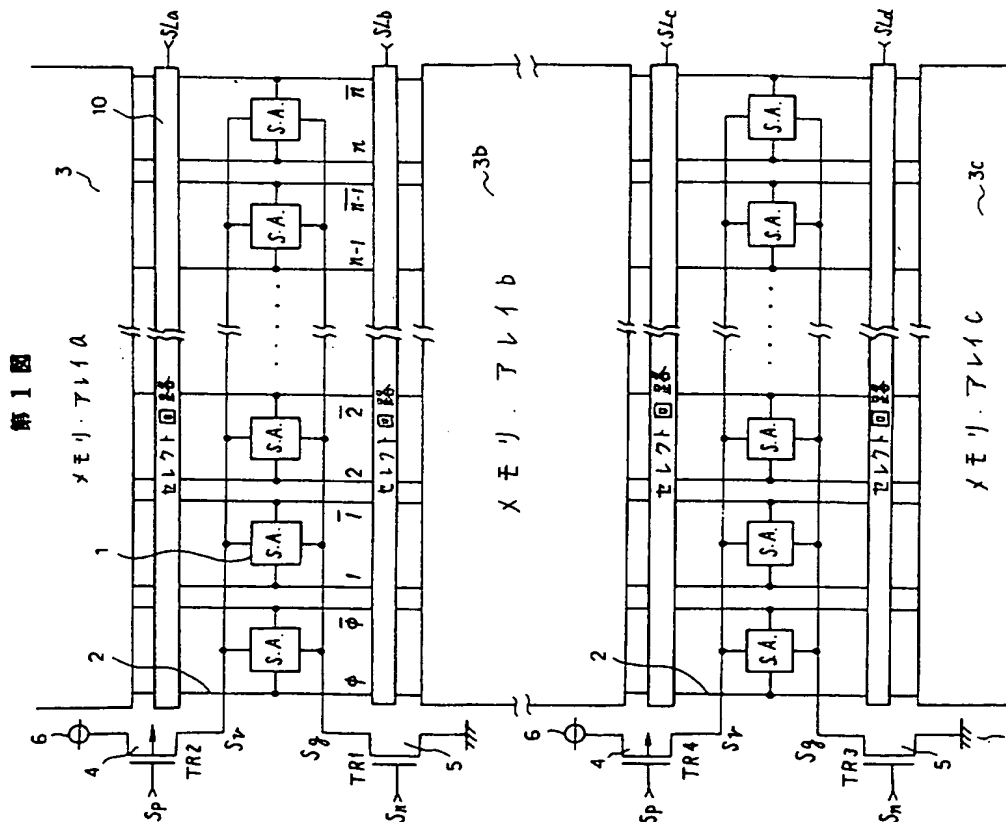
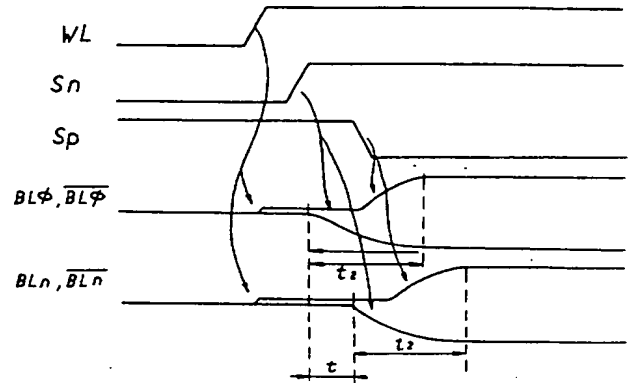
第1図はこの発明の一実施例であるセンス・アンプ全体の構成を示すブロック図、第2図は第1図の回路の動作波形図、第3図は第1図のセレクト回路の回路図、第4図は従来のセンス・アンプ全体の構成を示すブロック図、第5図は第4図のセンス・アンプ回路の回路図、第6図は第4図のメモリ・セルの回路図、第7図は第4図の回路の動作波形図である。

図において、(1)はセンス・アンプ、(2)はビット線、(3a)～(3c)はメモリ・アレイ、(4)はPチャネルMOSトランジスタ、(5)はNチャネルMOSトランジスタ、(6)は電源電圧、(7)はグランド、(10)はセレクト回路を示す。

なお、図中、同一符号は同一、又は相当部分を示す。

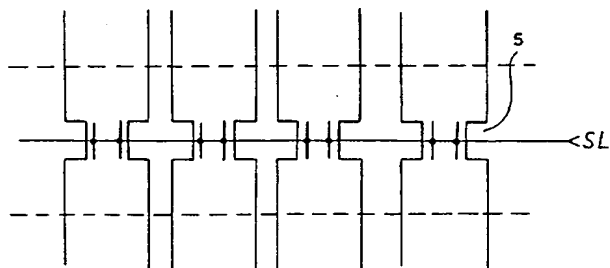
代理人 大 岩 増 雄

第2図

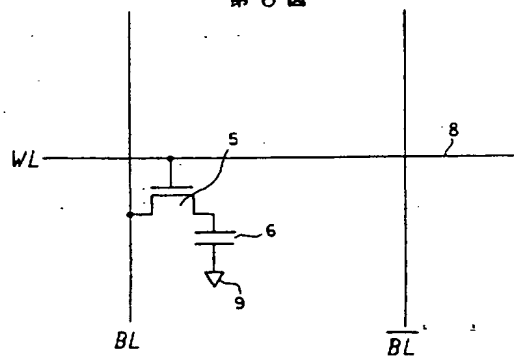


- 1: センス・アンプ
2: ビット線
3: PチャネルMOSトランジスタ
4: NチャネルMOSトランジスタ
5: 電源電圧
6: グランド

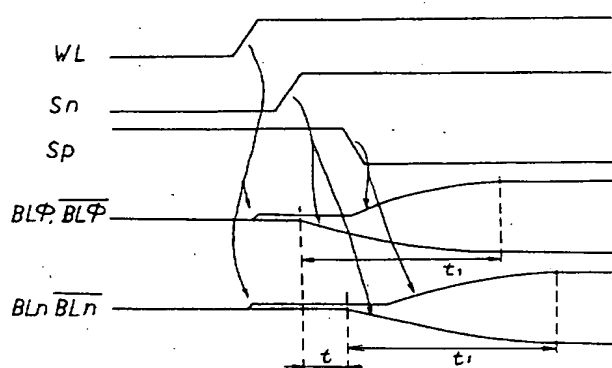
第3図



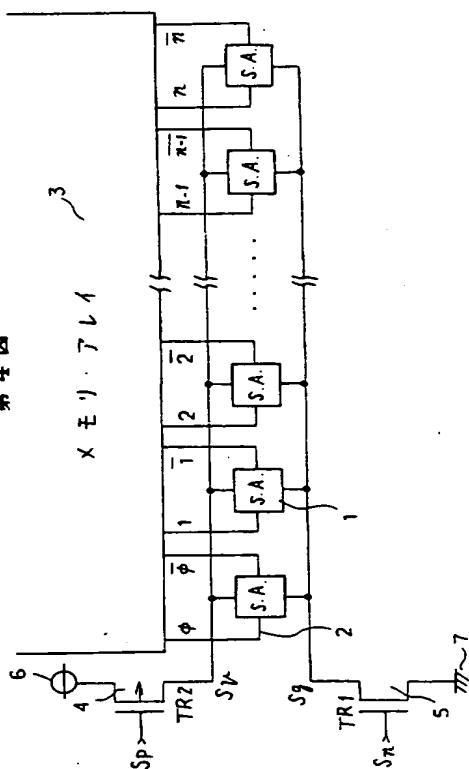
第6図



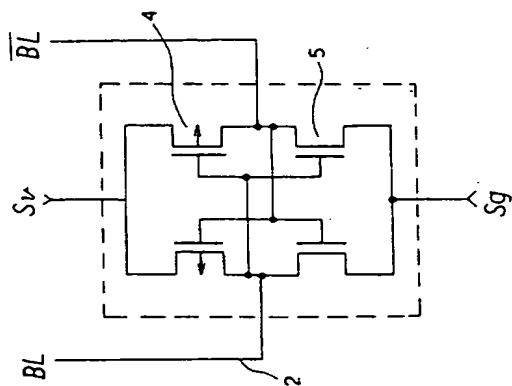
第7図



第4図



第5図



特開平4-192182 (5)

手続補正 (自発)

平成 3 年 7 月 23 日

特許庁長官殿

1. 事件の表示 特願平 8-886940号

2. 発明の名称 センス・アップ

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁理士 大 岩 増 雄
(連絡先 03(3213)3421特許部)

5. 補正の対象

明細 の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書第 3 頁第 1 5 行の

「活性化信号 8a が」を「活性化信号 8b が」
と訂正する。

以上



THIS PAGE BLANK (USPTO)